

[Previous Doc](#)[Next Doc](#)  
[First Hit](#)[Go to Doc#](#)☐ [Generate Collection](#)

L14: Entry 3 of 6

File: JPAB

Mar 30, 2001

PUB-NO: JP02001085646A  
DOCUMENT-IDENTIFIER: JP 2001085646 A  
TITLE: NONVOLATILE SEMICONDUCTOR MEMORY

PUBN-DATE: March 30, 2001

## INVENTOR-INFORMATION:

NAME

COUNTRY

SAKAGAMI, SHIGETO

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

APPL-NO: JP11256852

APPL-DATE: September 10, 1999

INT-CL (IPC): [H01 L 27/115](#); [G11 C 16/02](#); [G11 C 16/04](#); [H01 L 21/8247](#); [H01 L 29/788](#);  
[H01 L 29/792](#)

## ABSTRACT:

PROBLEM TO BE SOLVED: To provide an NOR type EEPROM(electrically rewritable nonvolatile semiconductor device) in which current consumption can be reduced at the flash erase and the threshold voltage distribution can be limited after erasure.

SOLUTION: The nonvolatile semiconductor memory comprises a memory cell array 1 where electrically rewritable memory cells having a floating gate and a control gate are connected in NOR type, a row decoder 6 and a column decoder 8 for selecting the word line and bit line of the memory cell array 1 according to an address, a sense amplifier/latch circuit 3 for sensing data read out from the memory cell array 1 and latching the writing data, and a circuit 9 for controlling the flash erase operation of data of memory cells in a block by applying a negative voltage to the word line and a positive voltage to the common source line in a block to be erased of the memory cell array 1. Flash erase operation of the block is executed by repeating erase operation in units of a specified word line range of the block.

COPYRIGHT: (C) 2001, JPO

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-85646

(P2001-85646A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)	
H 0 1 L 27/115		H 0 1 L 27/10	4 3 4	5 B 0 2 5
G 1 1 C 16/02		G 1 1 C 17/00	6 1 2 F	5 F 0 0 1
	16/04		6 2 2 A	5 F 0 8 3
H 0 1 L 21/8247		H 0 1 L 29/78	3 7 1	
	29/788			

審査請求 未請求 請求項の数 5 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平11-256852

(22) 出願日 平成11年9月10日 (1999.9.10)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 坂上 栄人

三重県四日市市山之一色町字中龍宮800番

地 株式会社東芝四日市工場内

(74) 代理人 100092820

弁理士 伊丹 勝

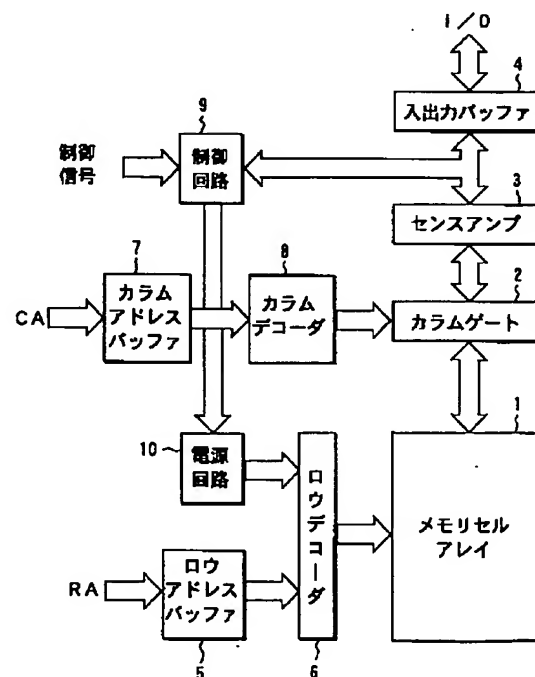
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 一括消去時の消費電流を低減することができ、消去後のしきい値電圧分布を狭くすることができる NOR 型 EEPROM を提供する。

【解決手段】 浮遊ゲートと制御ゲートを有する電氣的書き換え可能なメモリセルが NOR 型に接続されたメモリセルアレイ 1 と、アドレスによりメモリセルアレイ 1 のワード線及びビット線を選択するロウデコーダ 6 及びカラムデコーダ 8 と、メモリセルアレイ 1 の読み出しデータをセンスし書き込みデータをラッチするセンスアンプ/ラッチ回路 3 と、メモリセルアレイ 1 の消去すべきブロックのワード線に負電圧、共通ソース線に正電圧を与えることによりブロック内のメモリセルのデータを一括消去する動作を制御する制御回路 9 とを備え、ブロックの一括消去動作は、ブロックの所定のワード線範囲を消去単位として、各消去単位毎の消去動作の繰り返しにより実行される。



## 【特許請求の範囲】

【請求項1】 浮遊ゲートと制御ゲートが積層された構造を有する電氣的書き換え可能なメモリセルがマトリクス配列され、行方向に並ぶメモリセルの制御ゲートがワード線に共通接続され、列方向に並ぶメモリセルのドレインがビット線に共通接続され、ソースが共通ソース線に接続されたメモリセルアレイと、アドレスにより前記メモリセルアレイのワード線及びビット線を選択するデコード回路と、前記メモリセルアレイの読み出しデータをセンスし書き込みデータをラッチするセンスアンプ/ラッチ回路と、前記メモリセルアレイの消去すべきブロックのワード線に負電圧、共通ソース線に正電圧を与えることによりブロック内のメモリセルのデータを一括消去する動作を制御する制御回路とを備え、前記ブロックの一括消去動作は、前記ブロックの所定のワード線範囲を消去単位として、各消去単位毎の消去動作の繰返しにより実行されることを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記ブロック内の偶数行のワード線の範囲が一つの消去単位とされ、奇数行のワード線の範囲が他の消去単位とされることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 前記デコード回路のワード線駆動回路部のパターン同一性の範囲が消去単位とされることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項4】 1ワード線の範囲が消去単位とされることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項5】 消去時、前記ビット線は接地されることを特徴とする請求項1記載の不揮発性半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、電氣的書き換え可能な不揮発性半導体記憶装置（EEPROM）に係り、特にNOR型EEPROMのデータ消去法に関する。

## 【0002】

【従来の技術】近年、NOR型EEPROMフラッシュメモリでは、消去動作時に制御ゲートに負電圧、ソースに正電圧を印加して、消去を行う負バイアス消去法が使用されている。従来の負バイアス消去法では、制御ゲートの負バイアスは、消去すべきブロック中の全ワード線に一括して印加する方法が用いられる。この消去シーケンスを図14に示す。消去すべきブロックに、消去後のメモリセルのしきい値電圧を揃えるためにまず予備書き込みを行う。ついでブロック内の全メモリセルを消去し、消去されたメモリセルのデータを読み出して消去状態を確認する動作（消去ベリファイ）を行う。消去ベリファイの結果、消去不十分のメモリセルがある場合に

は、そのメモリセルに対して消去と消去ベリファイを繰り返す。全メモリセルの消去が確認されたら、読み出し状態にセットアップして、消去シーケンスは終了する。

## 【0003】

【発明が解決しようとする課題】上述した消去シーケンスを用いて消去動作を行うと、以下のような問題が発生する。制御ゲートに負電圧、ソースに正電圧を印加して消去すると、メモリセルのソース表面電位の上昇とチャネル領域表面電位の低下により、n型ソースとp型チャネル領域間にバンド間トンネル電流による消去電流が流れる。例えば、256Kbit単位のブロック消去の場合、1メモリセルで流れる消去電流の256K倍の電流が必要になる。このため、電源容量が小さい場合には、ソース電位が低下して十分な消去ができなくなる。従って消去の信頼性を確保するためには大きな容量の電源が必要となる。特に低電源電圧で動作させる場合には、この電源容量を確保することが問題となる。

【0004】また、ブロック内のメモリセルに一括して消去電圧を印加するため、メモリセルの加工やワード線駆動回路のもつ電氣的なばらつきの影響を受け、消去後のメモリセルのしきい値電圧分布が広がる。この様子を図15に示す。図15の $V_{ev}$ は消去ベリファイ電圧である。消去後のしきい値電圧分布幅が広いと、メモリセルのしきい値が0V以下になる過消去セルが多数発生する。過消去セルが存在すると、その過消去セルにつながる非選択ワード線を0Vとして読み出しを行う場合に、過消去セルにつながるビット線ではリーク電流が流れるため、誤読み出しの原因となる。また過消去セルへの書き込みでは、通常より過大な電界と電流がメモリセルのドレイン近傍に発生するためメモリセルがホットキャリア劣化を引き起こす原因となる。

【0005】この発明は、一括消去時の消費電流を低減することができ、消去後のしきい値電圧分布を狭くすることができるNOR型EEPROMを提供することを目的としている。

## 【0006】

【課題を解決するための手段】この発明に係る不揮発性半導体記憶装置は、浮遊ゲートと制御ゲートが積層された構造を有する電氣的書き換え可能なメモリセルがマトリクス配列され、行方向に並ぶメモリセルの制御ゲートがワード線に共通接続され、列方向に並ぶメモリセルのドレインがビット線に共通接続され、ソースが共通ソース線に接続されたメモリセルアレイと、アドレスにより前記メモリセルアレイのワード線及びビット線を選択するデコード回路と、前記メモリセルアレイの読み出しデータをセンスし書き込みデータをラッチするセンスアンプ/ラッチ回路と、前記メモリセルアレイの消去すべきブロックの全ワード線に負電圧、共通ソース線に正電圧を与えることによりブロック内のメモリセルのデータを一括消去する動作を制御する制御回路とを備え、前記ブ

ロックの一括消去動作は、前記ブロックの所定のワード線範囲を消去単位として、各消去単位毎の消去動作の繰り返しにより実行されることを特徴とする。

【0007】この発明によると、消去すべきブロックの一括消去動作を、複数の消去単位に分けた消去動作の繰り返しにより行うことで、負バイアス消去法によるNOR型EEPROMの消去時の消費電流を抑えることができる。また、EEPROMでは通常、メモリセルアレイやワード線駆動回路部のレイアウトに起因して、複数のワード線の中に消去特性の規則的分布が生じる。この点を考慮して消去単位となるワード線の範囲を設定すれば、消去単位毎のしきい値電圧の調整が可能である。従って、消去ブロック内のメモリセルのしきい値分布を狭いものとすることができる。

【0008】具体的にこの発明において、消去単位となるワード線の範囲は、次のように設定すればよい。

(a) ブロック内の偶数行のワード線の範囲を一つの消去単位とし、奇数行のワード線の範囲を他の消去単位とする。

(b) デコード回路のワード線駆動回路部のパターン同一性の範囲を消去単位とする。

(c) 1ワード線の範囲を消去単位とする。

【0009】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。

【実施の形態1】図1はこの発明が適用されるEEPROMの回路構成を示す。メモリセルアレイ1は、図2に示すように、複数のメモリセルMCがNOR型にマトリクス配列されている。行方向に並ぶメモリセルMCの制御ゲートはワード線に共通接続される。列方向に並ぶメモリセルMCのドレインはビット線BLに接続され、ソースは共通ソース線SSに接続される。

【0010】メモリセルアレイ1のビット線BLはカラムデコーダ8により選択駆動されるカラムゲート2を介してセンスアンプ/ラッチ回路3に接続されている。センスアンプ/ラッチ回路3は読み出しデータのセンスと書き込みデータのラッチを行う。センスアンプ/ラッチ回路3は入出力バッファ4を介して入出力端子と接続される。メモリセルアレイ1のワード線WLは、ロウデコーダ6により選択駆動される。ロウアドレス、カラムアドレスはそれぞれロウアドレスバッファ5、カラムアドレスバッファ7に取り込まれて、ロウデコーダ6、カラムデコーダ8に供給される。ロウデコーダ6により選択されるワード線に書き込み、消去、読み出し等に応じて必要な電圧を供給するために、昇圧回路を内蔵した駆動電源回路10が設けられている。制御回路9は、制御信号に基づいて駆動電源回路10を制御して書き込み、消去のシーケンス制御を行う。

【0011】図3は、メモリセルアレイ1のレイアウトを示し、図4及び図5はそれぞれ図3のA-A'及びB

-B'断面図を示している。メモリセルアレイ1は、p型シリコン基板20のn型ウェル21に形成されたp型ウェル22内に形成されている。基板には、STI技術等により素子分離絶縁膜23が形成されて素子形成領域が区画されている。この様な基板に、トンネル絶縁膜24を介して浮遊ゲート25が形成され、浮遊ゲート25上に絶縁膜26を介して制御ゲート27が形成され、更にソース、ドレイン拡散層28が形成されて、メモリセルが構成されている。

【0012】浮遊ゲート25は素子分離絶縁膜23上でのスリット加工により行方向の分離がなされ、列方向には制御ゲート27と同時にパターン加工されている。制御ゲート27は行方向に連続的にパターン形成され、これがワード線WLとなる。メモリセルが形成された基板上は層間絶縁膜29で覆われ、この層間絶縁膜29上にビット線30が配設される。

【0013】図3に示すようにNOR型EEPROMでは、偶数行のワード線WL0, WL2, ...と奇数行のワード線WL1, WL3, ...がビット線コンタクトBCを挟んで対称に配置される。この場合、セル配置の対称性から、加工プロセスのばらつきに起因して、偶数行のワード線に沿ったメモリセルと奇数行のワード線に沿ったメモリセルとの間には電気的特性の奇偶依存性が生じる。例えば、ソース、ドレイン拡散層形成のイオン注入の角度が傾斜すると、ゲートによるシャドウイング効果により、ビット線コンタクトBCを挟んで奇数行と偶数行とでソース、ドレイン拡散層の性能が異なるものとなる。ビット線コンタクトBCの位置ずれも奇偶依存性の原因となる。

【0014】実施の形態1においては、制御回路9によるブロック消去の制御シーケンスに、上述したワード線の奇偶依存性を利用する。即ち実施の形態1では、偶数行のワード線WL0, WL2, ...の範囲を一つの消去単位とし、奇数行のワード線WL1, WL3, ...の範囲を別の消去単位として、これらの消去単位毎の消去動作の繰り返しによりブロックの一括消去を行う。なおここで、一括消去すべきブロックは、例えば一つのp型ウェルを共有するメモリセルの範囲であり、メモリセルアレイ1が1ブロックでもよいし、複数ブロックの場合もある。

【0015】図6は、この実施の形態1でのブロック一括消去のシーケンスを示している。まず消去ブロックについて予備書き込みを行う(S1)。そして、ブロック内の偶数行のワード線を全て選択して消去動作を行い(S2)、その後消去ベリファイを行う(S3)。消去が不十分のメモリセルがあれば、消去が確認されるまで消去(S2)と消去ベリファイ(S3)を繰り返す。偶数行のワード線の消去が完了したら、次に奇数行の全ワード線について同様に消去(S4)と消去ベリファイ(S5)を行う。全メモリセルの消去が確認されたら、

読み出しモードに設定して(S6)、消去シーケンスは終了する。

【0016】図7はこの実施の形態1での消去動作の電位関係を示している。偶数行を選択、奇数行を非選択とした場合、図7に示すように偶数行のワード線(選択WL)には $V_{ge} = -10V$ 、奇数行のワード線(非選択WL)には $0V$ を与え、共通ソース線SSには $V_{se} = 5V$ 印加する。ビット線BLはオープンとする。このとき選択WLのメモリセルでは、ソース近傍のトンネル絶縁膜に、制御ゲートと浮遊ゲート間の容量と浮遊ゲートと基板間の容量の比で決まる電界が生じる。この電界が $10MV/cm$ 程度以上となるように、電位関係を設定すると、浮遊ゲート中の電子がFNTトンネリングによりソース側に放出される。これにより、メモリセルはしきい値電圧の高い消去状態になる。

【0017】この場合、非選択WL側のメモリセルのソース近傍では、 $5MV/cm$ 程度の電界となり、ほとんどバンド間電流は流れない。消去ベリファイは、通常の読み出し動作の電位、例えばワード線に $V_{gr} = 3V$ 、共通ソース線SSに $V_{sr} = 0V$ 、ビット線BLに $V_{dr} = 1V$ を与えて読み出しを行う。

【0018】この実施の形態によると、ワード線を奇数行と偶数行の消去単位に分けて消去動作を繰り返すことにより、消去電流はブロック全体を同時に一括消去する場合の半分にすることができる。また、セル特性には奇偶依存性が生じる場合が多く、奇数行と偶数行のワード線のメモリセルを独立に消去することにより、しきい値電圧調整が容易になり、消去ブロックのしきい値電圧分布を小さくすることができる。

【0019】[実施の形態2]上記実施の形態1では奇数行のワード線と偶数行のワード線に分けて消去を行ったが、次にワード線を選択駆動するロウデコーダの回路パターンにより一括消去シーケンスの消去単位を決める実施の形態を説明する。NOR型EEPROMの場合、ワード線の駆動回路は回路は各ワード線について同一になるが、パターンレイアウト上は、ワード線2本、4本、8本、16本単位等の繰り返しパターンとなる。この場合、ワード線駆動回路部のパターンによってプロセスダメージが異なり、ワード線駆動回路部のトランジスタ特性に差が生じる。

【0020】具体的に、ワード線2本単位でワード線駆動回路部のパターンが異なる場合を図8及び図9に示す。図8は、ロウデコーダ6のワード線駆動回路部がパターン上、A、Bに分けられる例である。このようなレイアウトは、メモリセルアレイ1のワード線ピッチが小さいものとなり、そのワード線ピッチ内に各ワード線駆動回路を配置できない場合等に生じる。このとき、ロウデコーダ6とメモリセルアレイ1の各ワード線WLとの間の接続は、例えばパターンA部では、図9(a)に示すように第1層金属配線M1のみで接続され、パターンB

部では、図9(b)に示すように、第1層金属配線M1と第2層金属配線M2との組み合わせを用いて接続されるという接続法が用いられる。

【0021】このようなメモリセルアレイ1とロウデコーダ6間の接続法では、パターンA部とパターンB部とで受ける加工プロセスダメージが異なり、従って駆動回路の性能にばらつきが生じる結果、全メモリセルを一括消去した場合にメモリセルアレイの消去状態のしきい値分布が広がる原因となる。そこでこの場合には、ワード線駆動回路部のパターンの同一性の範囲即ち、結果的に実施の形態1と同様に、奇数行のワード線と偶数行のワード線をそれぞれ消去単位として、消去単位毎の消去と消去ベリファイの2回の繰り返しとする。

【0022】図10は、ワード線4本単位でロウデコーダ6内のワード線駆動回路部のパターンが、A～Dの範囲を単位として繰り返される例を示している。この場合には、一括消去のシーケンスを、ワード線駆動回路部のパターンA、B、C、Dの範囲をそれぞれ消去単位として、消去単位毎の消去と消去ベリファイの4回の繰り返しとする。

【0023】具体的に、図11は、図10のようなロウデコーダ6の回路レイアウトの場合の一括消去のシーケンスを示している。なお選択メモリセルと非選択メモリセルの電位関係は、図7と同様に設定する。予備書き込みを行った後(S11)、まず、パターンAの駆動回路部に対応するワード線の範囲を消去単位として消去し(S12)、消去ベリファイする(S13)。消去が完了したら次に、パターンBの駆動回路部に対応するワード線の範囲を消去し(S14)、消去ベリファイする(S15)。以下同様に、パターンCの駆動回路部に対応するワード線範囲の消去(S16)と消去ベリファイ(S17)、パターンDの駆動回路部に対応するワード線範囲の消去(S18)と消去ベリファイ(S19)を繰り返し、最後に読み出し条件にセットアップして一括消去のシーケンスを終了する。

【0024】この実施の形態によると、ワード線をその駆動回路部のパターン同一性の範囲を消去単位として消去動作を繰り返すことにより、消去電流はブロック全体を同時に一括消去する場合の $1/2$ 、 $1/4$ 、…のように低減することができる。ワード線駆動回路部のパターンに依存してメモリセル特性が異なることが多い、パターン同一性の範囲を消去単位とすることにより、しきい値電圧調整が容易になり、消去ブロックのしきい値電圧分布を小さくすることができる。

【0025】[実施の形態3]図12は更に、1本のワード線のメモリセル範囲を消去単位として、消去と消去ベリファイをワード線の本数分繰り返すようにした実施の形態3である。この場合も選択メモリセルと非選択メモリセルの電位関係は、図7と同様に設定する。予備書き込みを行い(S21)、ワード線番号を初期化して

10

20

30

40

50

(S22)、最初のワード線について消去(S23)と消去ペリフェイ(S24)を行う。全ワード線の消去が終了したか否かを判断し(S25)、NOであればワード線を切換て以下同様の消去動作を繰り返す。全ワード線について消去が終了したら、読み出し条件にセットアップして一括消去のシーケンスを終了する。

【0026】この実施の形態によると、ワード線1本ずつを単位として消去を行うから、消去時の消費電流は非常に小さいものとなる。また、消去メモリセルのしきい値電圧がワード線単位で調整されるから、一括消去後のメモリセルのしきい値分布幅を大きく低減することが可能である。

【0027】[実施の形態4] 上記実施の形態1～3では、図7に示すようにビット線オープンで消去を行った。これに対して、他の電位関係は図7と同様とし、図8に示すように、ビット線を接地して消去を行うこともできる。この場合、選択メモリセルMC1では、実施の形態1～3と同様に浮遊ゲートからソース側に電子放出されて消去される。非選択メモリセルMC2では、これがしきい値負の過消去状態にある場合にはゲート電圧0Vでオンしてソースからドレインに向かってチャネル電流が流れる。そして、電界の大きいソース側ではアバランシェによるホットエレクトロンが生成されてこれが浮遊ゲートに注入される書き込み動作が起こる。この書き込み動作は、非選択メモリセルMC2のしきい値がある値(例えば中性しきい値)になると止まる、いわゆるセルフコンバージェンスを示す。これにより、既に消去が済んで過消去状態にあるメモリセルの過消去状態が解消される。従ってこの実施の形態4によると、しきい値電圧分布の幅を更に小さいものとする事ができる。この実施の形態4の手法は、実施の形態1～3のいずれのワード線選択を行う場合にも有効である。

【0028】

【発明の効果】以上述べたようにこの発明によれば、消去すべきブロックの一括消去動作を、複数の消去単位に分けた消去動作の繰り返しにより行うことで、負バイアス消去法によるNOR型EEPROMの消去時の消費電

流を抑えることができ、また消去ブロック内のメモリセルのしきい値電圧分布を狭いものとする事ができる。

【図面の簡単な説明】

【図1】この発明が適用されるEEPROMの回路構成を示す図である。

【図2】同EEPROMのメモリセルアレイの等価回路である。

【図3】同EEPROMのメモリセルアレイのレイアウトである。

10 【図4】図3のA-A'断面図である。

【図5】図3のB-B'断面図である。

【図6】実施の形態1による消去シーケンスを示す図である。

【図7】同実施の形態での電位関係を示す図である。

【図8】ワード線駆動回路部のレイアウト例を示す図である。

【図9】図8のパターンに対応するワード線駆動回路とメモリセルアレイの接続関係を示す図である。

20 【図10】ワード線駆動回路部の他のレイアウト例を示す図である。

【図11】実施の形態2による消去シーケンスを示す図である。

【図12】実施の形態3による消去シーケンスを示す図である。

【図13】実施の形態4による消去時の電位関係を示す図である。

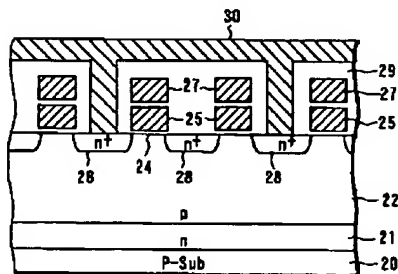
【図14】従来のNOR型EEPROMの消去制御シーケンスを示す図である。

30 【図15】消去メモリセルのしきい値電圧分布を示す図である。

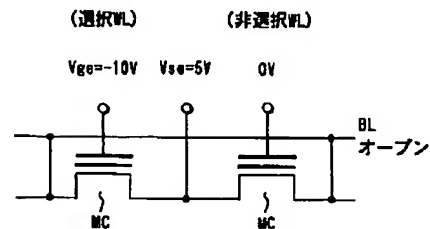
【符号の説明】

1…メモリセルアレイ、2…カラムゲート、3…センスアンプ/ラッチ回路、4…入出力バッファ、5…ロウアドレスバッファ、6…ロウデコーダ、7…カラムアドレスバッファ、8…カラムデコーダ、9…制御回路、10…駆動電源回路。

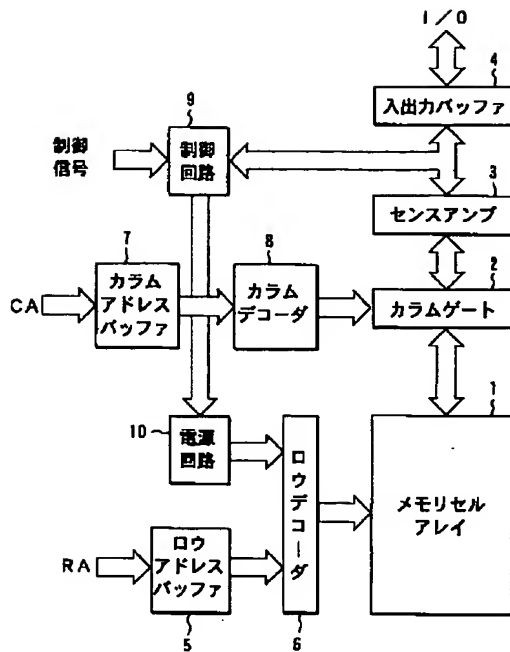
【図4】



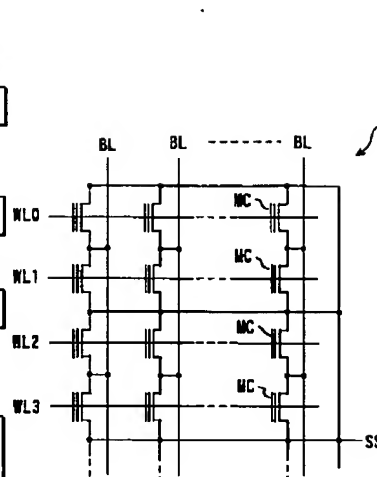
【図7】



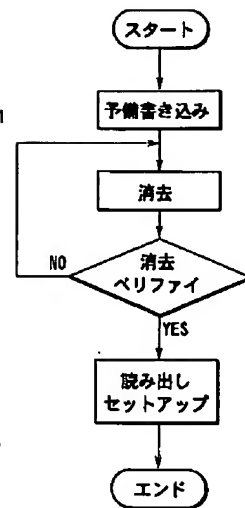
【図1】



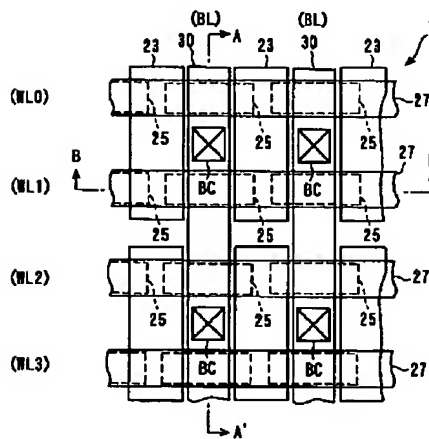
【図2】



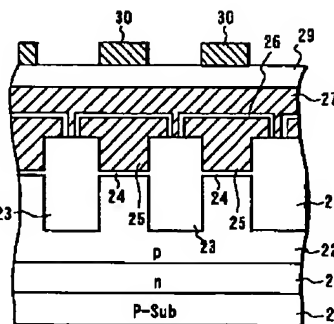
【図14】



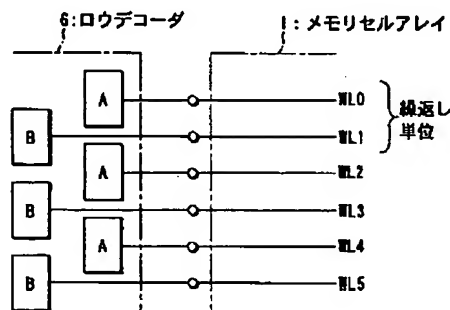
【図3】



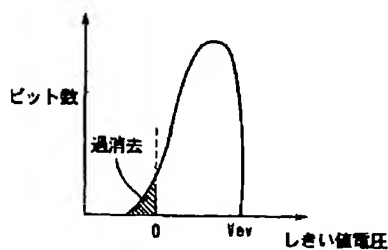
【図5】



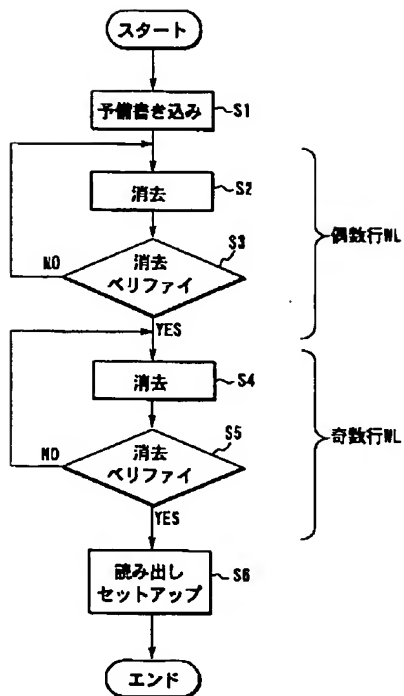
【図8】



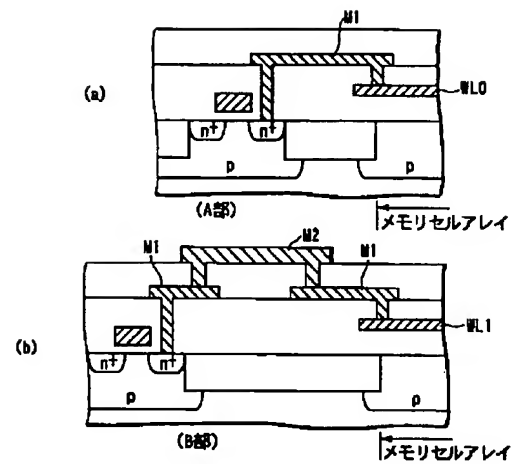
【図15】



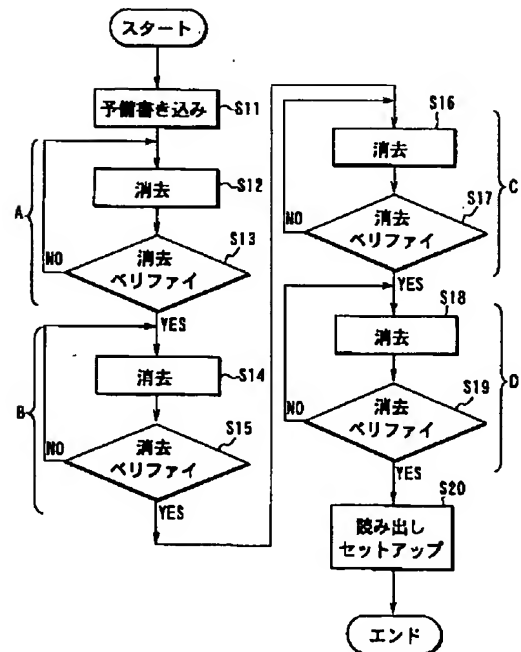
【図6】



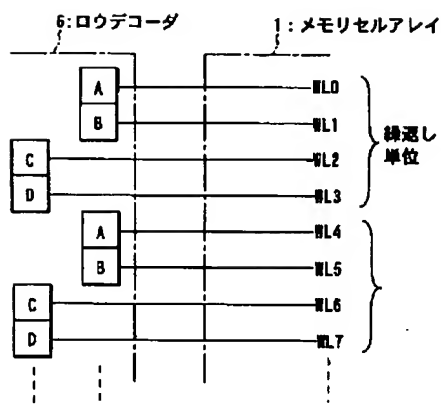
【図9】



【図11】

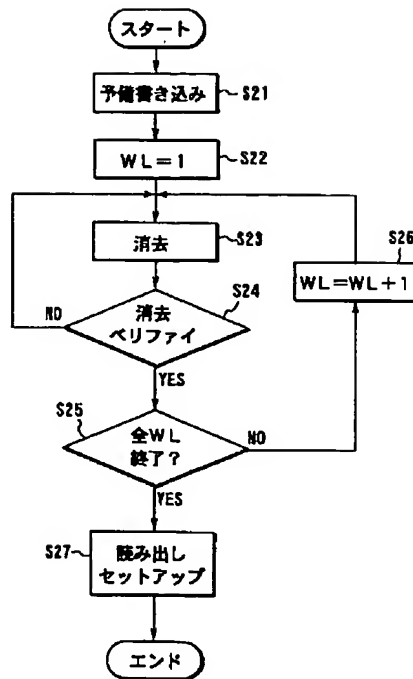


【図10】

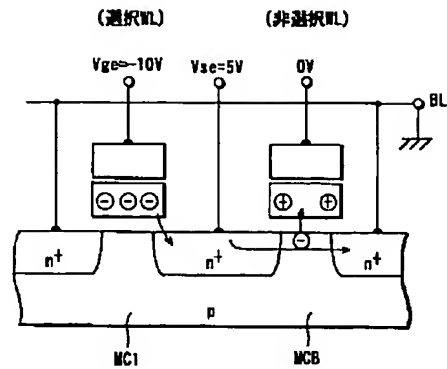




【図12】



【図13】



フロントページの続き

(51)Int. Cl.<sup>7</sup>

識別記号

F I

ターマード (参考)

H 0 1 L 29/792

F ターム (参考) 5B025 AA01 AC01 AD08 AE06  
 5F001 AA02 AB08 AC03 AD12 AD52  
 AE08 AG09  
 5F083 EP02 EP23 EP77 ER04 ER16  
 ER23 ER30 GA05 KA20 LA01  
 LA03 LA05 LA16 LA20 PR42  
 PR52

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)[First Hit](#)

Generate Collection

L11: Entry 5 of 43

File: JPAB

Mar 30, 2001

PUB-NO: JP02001085646A

DOCUMENT-IDENTIFIER: JP 2001085646 A

TITLE: NONVOLATILE SEMICONDUCTOR MEMORY

PUBN-DATE: March 30, 2001

## INVENTOR-INFORMATION:

NAME

COUNTRY

SAKAGAMI, SHIGETO

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

APPL-NO: JP11256852

APPL-DATE: September 10, 1999

INT-CL (IPC): H01 L 27/115; G11 C 16/02; G11 C 16/04; H01 L 21/8247; H01 L 29/788;  
H01 L 29/792

## ABSTRACT:

PROBLEM TO BE SOLVED: To provide an NOR type EEPROM(electrically rewritable nonvolatile semiconductor device) in which current consumption can be reduced at the flash erase and the threshold voltage distribution can be limited after erasure.

SOLUTION: The nonvolatile semiconductor memory comprises a memory cell array 1 where electrically rewritable memory cells having a floating gate and a control gate are connected in NOR type, a row decoder 6 and a column decoder 8 for selecting the word line and bit line of the memory cell array 1 according to an address, a sense amplifier/latch circuit 3 for sensing data read out from the memory cell array 1 and latching the writing data, and a circuit 9 for controlling the flash erase operation of data of memory cells in a block by applying a negative voltage to the word line and a positive voltage to the common source line in a block to be erased of the memory cell array 1. Flash erase operation of the block is executed by repeating erase operation in units of a specified word line range of the block.

COPYRIGHT: (C)2001, JPO

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-85646

(P2001-85646A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
H 0 1 L 27/115		H 0 1 L 27/10	4 3 4 5 B 0 2 5
G 1 1 C 16/02		G 1 1 C 17/00	6 1 2 F 5 F 0 0 1
16/04			6 2 2 A 5 F 0 8 3
H 0 1 L 21/8247		H 0 1 L 29/78	3 7 1
29/788			

審査請求 未請求 請求項の数5 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平11-256852

(22) 出願日 平成11年9月10日 (1999.9.10)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 坂上 栄人

三重県四日市市山之一色町字中龍宮800番

地 株式会社東芝四日市工場内

(74) 代理人 100092820

弁理士 伊丹 勝

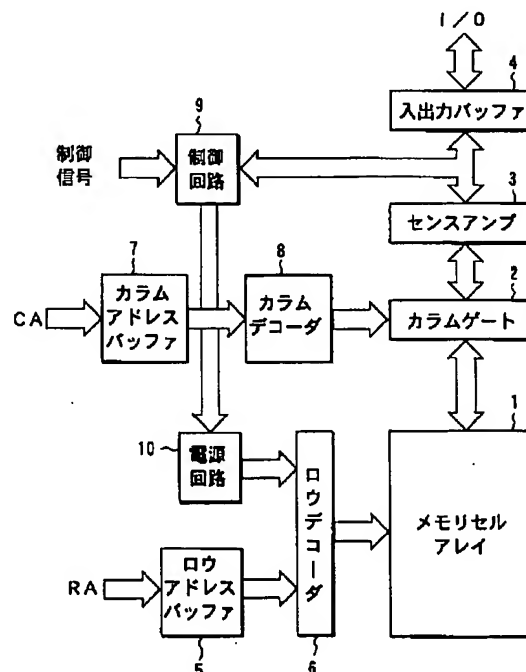
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 一括消去時の消費電流を低減することができ、消去後のしきい値電圧分布を狭くすることができる NOR 型 EEPROM を提供する。

【解決手段】 浮遊ゲートと制御ゲートを有する電氣的書き換え可能なメモリセルが NOR 型に接続されたメモリセルアレイ 1 と、アドレスによりメモリセルアレイ 1 のワード線及びビット線を選択するロウデコーダ 6 及びカラムデコーダ 8 と、メモリセルアレイ 1 の読み出しデータをセンスし書き込みデータをラッチするセンスアンプ/ラッチ回路 3 と、メモリセルアレイ 1 の消去すべきブロックのワード線に負電圧、共通ソース線に正電圧を与えることによりブロック内のメモリセルのデータを一括消去する動作を制御する制御回路 9 とを備え、ブロックの一括消去動作は、ブロックの所定のワード線範囲を消去単位として、各消去単位毎の消去動作の繰り返しにより実行される。



## 【特許請求の範囲】

【請求項1】 浮遊ゲートと制御ゲートが積層された構造を有する電氣的書き換え可能なメモリセルがマトリクス配列され、行方向に並ぶメモリセルの制御ゲートがワード線に共通接続され、列方向に並ぶメモリセルのドレインがビット線に共通接続され、ソースが共通ソース線に接続されたメモリセルアレイと、アドレスにより前記メモリセルアレイのワード線及びビット線を選択するデコード回路と、前記メモリセルアレイの読み出しデータをセンスし書き込みデータをラッチするセンスアンプ/ラッチ回路と、前記メモリセルアレイの消去すべきブロックのワード線に負電圧、共通ソース線に正電圧を与えることによりブロック内のメモリセルのデータを一括消去する動作を制御する制御回路とを備え、前記ブロックの一括消去動作は、前記ブロックの所定のワード線範囲を消去単位として、各消去単位毎の消去動作の繰返しにより実行されることを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記ブロック内の偶数行のワード線の範囲が一つの消去単位とされ、奇数行のワード線の範囲が他の消去単位とされることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 前記デコード回路のワード線駆動回路部のパターン同一性の範囲が消去単位とされることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項4】 1ワード線の範囲が消去単位とされることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項5】 消去時、前記ビット線は接地されることを特徴とする請求項1記載の不揮発性半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、電氣的書き換え可能な不揮発性半導体記憶装置（EEPROM）に係り、特にNOR型EEPROMのデータ消去法に関する。

## 【0002】

【従来の技術】近年、NOR型EEPROMフラッシュメモリでは、消去動作時に制御ゲートに負電圧、ソースに正電圧を印加して、消去を行う負バイアス消去法が使用されている。従来の負バイアス消去法では、制御ゲートの負バイアスは、消去すべきブロック中の全ワード線に一括して印加する方法が用いられる。この消去シーケンスを図14に示す。消去すべきブロックに、消去後のメモリセルのしきい値電圧を揃えるためにまず予備書き込みを行う。ついでブロック内の全メモリセルを消去し、消去されたメモリセルのデータを読み出して消去状態を確認する動作（消去ベリファイ）を行う。消去ベリファイの結果、消去不十分のメモリセルがある場合に

は、そのメモリセルに対して消去と消去ベリファイを繰り返す。全メモリセルの消去が確認されたら、読み出し状態にセットアップして、消去シーケンスは終了する。

## 【0003】

【発明が解決しようとする課題】上述した消去シーケンスを用いて消去動作を行うと、以下のような問題が発生する。制御ゲートに負電圧、ソースに正電圧を印加して消去すると、メモリセルのソース表面電位の上昇とチャネル領域表面電位の低下により、n型ソースとp型チャネル領域間にバンド間トンネル電流による消去電流が流れる。例えば、256Kbit単位のブロック消去の場合、1メモリセルで流れる消去電流の256K倍の電流が必要になる。このため、電源容量が小さい場合には、ソース電位が低下して十分な消去ができなくなる。従って消去の信頼性を確保するためには大きな容量の電源が必要となる。特に低電源電圧で動作させる場合には、この電源容量を確保することが問題となる。

【0004】また、ブロック内のメモリセルに一括して消去電圧を印加するため、メモリセルの加工やワード線駆動回路のもつ電氣的なばらつきの影響を受け、消去後のメモリセルのしきい値電圧分布が広がる。この様子を図15に示す。図15の $V_{ev}$ は消去ベリファイ電圧である。消去後のしきい値電圧分布幅が広いと、メモリセルのしきい値が0V以下になる過消去セルが多数発生する。過消去セルが存在すると、その過消去セルにつながる非選択ワード線を0Vとして読み出しを行う場合に、過消去セルにつながるビット線ではリーク電流が流れるため、誤読み出しの原因となる。また過消去セルへの書き込みでは、通常より過大な電界と電流がメモリセルのドレイン近傍に発生するためメモリセルがホットキャリア劣化を引き起こす原因となる。

【0005】この発明は、一括消去時の消費電流を低減することができ、消去後のしきい値電圧分布を狭くすることができるNOR型EEPROMを提供することを目的としている。

## 【0006】

【課題を解決するための手段】この発明に係る不揮発性半導体記憶装置は、浮遊ゲートと制御ゲートが積層された構造を有する電氣的書き換え可能なメモリセルがマトリクス配列され、行方向に並ぶメモリセルの制御ゲートがワード線に共通接続され、列方向に並ぶメモリセルのドレインがビット線に共通接続され、ソースが共通ソース線に接続されたメモリセルアレイと、アドレスにより前記メモリセルアレイのワード線及びビット線を選択するデコード回路と、前記メモリセルアレイの読み出しデータをセンスし書き込みデータをラッチするセンスアンプ/ラッチ回路と、前記メモリセルアレイの消去すべきブロックの全ワード線に負電圧、共通ソース線に正電圧を与えることによりブロック内のメモリセルのデータを一括消去する動作を制御する制御回路とを備え、前記ブ

ロックの一括消去動作は、前記ブロックの所定のワード線範囲を消去単位として、各消去単位毎の消去動作の繰り返しにより実行されることを特徴とする。

【0007】この発明によると、消去すべきブロックの一括消去動作を、複数の消去単位に分けた消去動作の繰り返しにより行うことで、負バイアス消去法によるNOR型EEPROMの消去時の消費電流を抑えることができる。また、EEPROMでは通常、メモリセルアレイやワード線駆動回路部のレイアウトに起因して、複数のワード線の中に消去特性の規則的分布が生じる。この点を考慮して消去単位となるワード線の範囲を設定すれば、消去単位毎のしきい値電圧の調整が可能である。従って、消去ブロック内のメモリセルのしきい値分布を狭いものとすることができる。

【0008】具体的にこの発明において、消去単位となるワード線の範囲は、次のように設定すればよい。

(a) ブロック内の偶数行のワード線の範囲を一つの消去単位とし、奇数行のワード線の範囲を他の消去単位とする。

(b) デコード回路のワード線駆動回路部のパターン同一性の範囲を消去単位とする。

(c) 1ワード線の範囲を消去単位とする。

【0009】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。

【実施の形態1】図1はこの発明が適用されるEEPROMの回路構成を示す。メモリセルアレイ1は、図2に示すように、複数のメモリセルMCがNOR型にマトリクス配列されている。行方向に並ぶメモリセルMCの制御ゲートはワード線に共通接続される。列方向に並ぶメモリセルMCのドレインはビット線BLに接続され、ソースは共通ソース線SSに接続される。

【0010】メモリセルアレイ1のビット線BLはカラムデコーダ8により選択駆動されるカラムゲート2を介してセンスアンプ/ラッチ回路3に接続されている。センスアンプ/ラッチ回路3は読み出しデータのセンスと書き込みデータのラッチを行う。センスアンプ/ラッチ回路3は入出力バッファ4を介して入出力端子と接続される。メモリセルアレイ1のワード線WLは、ロウデコーダ6により選択駆動される。ロウアドレス、カラムアドレスはそれぞれロウアドレスバッファ5、カラムアドレスバッファ7に取り込まれて、ロウデコーダ6、カラムデコーダ8に供給される。ロウデコーダ6により選択されるワード線に書き込み、消去、読み出し等に応じて必要な電圧を供給するために、昇圧回路を内蔵した駆動電源回路10が設けられている。制御回路9は、制御信号に基づいて駆動電源回路10を制御して書き込み、消去のシーケンス制御を行う。

【0011】図3は、メモリセルアレイ1のレイアウトを示し、図4及び図5はそれぞれ図3のA-A'及びB

-B'断面図を示している。メモリセルアレイ1は、p型シリコン基板20のn型ウェル21に形成されたp型ウェル22内に形成されている。基板には、STI技術等により素子分離絶縁膜23が形成されて素子形成領域が区画されている。この様な基板に、トンネル絶縁膜24を介して浮遊ゲート25が形成され、浮遊ゲート25上に絶縁膜26を介して制御ゲート27が形成され、更にソース、ドレイン拡散層28が形成されて、メモリセルが構成されている。

10 【0012】浮遊ゲート25は素子分離絶縁膜23上でのスリット加工により行方向の分離がなされ、列方向には制御ゲート27と同時にパターン加工されている。制御ゲート27は行方向に連続的にパターン形成され、これがワード線WLとなる。メモリセルが形成された基板は層間絶縁膜29で覆われ、この層間絶縁膜29上にビット線30が配設される。

【0013】図3に示すようにNOR型EEPROMでは、偶数行のワード線WL0, WL2, ...と奇数行のワード線WL1, WL3, ...がビット線コンタクトBCを挟んで対称に配置される。この場合、セル配置の対称性から、加工プロセスのばらつきに起因して、偶数行のワード線に沿ったメモリセルと奇数行のワード線に沿ったメモリセルとの間には電気的特性の奇偶依存性が生じる。例えば、ソース、ドレイン拡散層形成のイオン注入の角度が傾斜すると、ゲートによるシャドウイング効果により、ビット線コンタクトBCを挟んで奇数行と偶数行とでソース、ドレイン拡散層の性能が異なるものとなる。ビット線コンタクトBCの位置ずれも奇偶依存性の原因となる。

30 【0014】実施の形態1においては、制御回路9によるブロック消去の制御シーケンスに、上述したワード線の奇偶依存性を利用する。即ち実施の形態1では、偶数行のワード線WL0, WL2, ...の範囲を一つの消去単位とし、奇数行のワード線WL1, WL3, ...の範囲を別の消去単位として、これらの消去単位毎の消去動作の繰り返しによりブロックの一括消去を行う。なおここで、一括消去すべきブロックは、例えば一つのp型ウェルを共有するメモリセルの範囲であり、メモリセルアレイ1が1ブロックでもよいし、複数ブロックの場合もある。

40 【0015】図6は、この実施の形態1でのブロック一括消去のシーケンスを示している。まず消去ブロックについて予備書き込みを行う(S1)。そして、ブロック内の偶数行のワード線を全て選択して消去動作を行い(S2)、その後消去ベリファイを行う(S3)。消去が不十分のメモリセルがあれば、消去が確認されるまで消去(S2)と消去ベリファイ(S3)を繰り返す。偶数行のワード線の消去が完了したら、次に奇数行の全ワード線について同様に消去(S4)と消去ベリファイ(S5)を行う。全メモリセルの消去が確認されたら、

読み出しモードに設定して(S6)、消去シーケンスは終了する。

【0016】図7はこの実施の形態1での消去動作の電位関係を示している。偶数行を選択、奇数行を非選択とした場合、図7に示すように偶数行のワード線(選択WL)には $V_{ge} = -10V$ 、奇数行のワード線(非選択WL)には $0V$ を与え、共通ソース線SSには $V_{se} = 5V$ 印加する。ビット線BLはオープンとする。このとき選択WLのメモリセルでは、ソース近傍のトンネル絶縁膜に、制御ゲートと浮遊ゲート間の容量と浮遊ゲートと基板間の容量の比で決まる電界が生じる。この電界が $10MV/cm$ 程度以上となるように、電位関係を設定すると、浮遊ゲート中の電子がFNTトンネリングによりソース側に放出される。これにより、メモリセルはしきい値電圧の高い消去状態になる。

【0017】この場合、非選択WL側のメモリセルのソース近傍では、 $5MV/cm$ 程度の電界となり、ほとんどバンド間電流は流れない。消去ベリファイは、通常の読み出し動作の電位、例えばワード線に $V_{gr} = 3V$ 、共通ソース線SSに $V_{sr} = 0V$ 、ビット線BLに $V_d$

【0018】この実施の形態によると、ワード線を奇数行と偶数行の消去単位に分けて消去動作を繰り返すことにより、消去電流はブロック全体を同時に一括消去する場合の半分にすることができる。また、セル特性には奇偶依存性が生じる場合が多く、奇数行と偶数行のワード線のメモリセルを独立に消去することにより、しきい値電圧調整が容易になり、消去ブロックのしきい値電圧分布を小さくすることができる。

【0019】[実施の形態2] 上記実施の形態1では奇数行のワード線と偶数行のワード線に分けて消去を行ったが、次にワード線を選択駆動するロウデコーダの回路パターンにより一括消去シーケンスの消去単位を決める実施の形態を説明する。NOR型EEPROMの場合、ワード線の駆動回路は回路上は各ワード線について同一になるが、パターンレイアウト上は、ワード線2本、4本、8本、16本単位等の繰り返しパターンとなる。この場合、ワード線駆動回路部のパターンによってプロセスダメージが異なり、ワード線駆動回路部のトランジスタ特性に差が生じる。

【0020】具体的に、ワード線2本単位でワード線駆動回路部のパターンが異なる場合を図8及び図9に示す。図8は、ロウデコーダ6のワード線駆動回路部がパターン上、A、Bに分けられる例である。この様なレイアウトは、メモリセルアレイ1のワード線ピッチが小さいものとなり、そのワード線ピッチ内に各ワード線駆動回路を配置できない場合等に生じる。このとき、ロウデコーダ6とメモリセルアレイ1の各ワード線WLとの間の接続は、例えばパターンA部では、図9(a)に示すように第1層金属配線M1のみで接続され、パターンB

部では、図9(b)に示すように、第1層金属配線M1と第2層金属配線M2との組み合わせを用いて接続されるという接続法が用いられる。

【0021】この様なメモリセルアレイ1とロウデコーダ6間の接続法では、パターンA部とパターンB部とで受ける加工プロセスダメージが異なり、従って駆動回路の性能にばらつきが生じる結果、全メモリセルを一括消去した場合にメモリセルアレイの消去状態のしきい値分布が広がる原因となる。そこでこの場合には、ワード線駆動回路部のパターンの同一性の範囲即ち、結果的に実施の形態1と同様に、奇数行のワード線と偶数行のワード線をそれぞれ消去単位として、消去単位毎の消去と消去ベリファイの2回の繰り返しとする。

【0022】図10は、ワード線4本単位でロウデコーダ6内のワード線駆動回路部のパターンが、A～Dの範囲を単位として繰り返される例を示している。この場合には、一括消去のシーケンスを、ワード線駆動回路部のパターンA、B、C、Dの範囲をそれぞれ消去単位として、消去単位毎の消去と消去ベリファイの4回の繰り返しとする。

【0023】具体的に、図11は、図10のようなロウデコーダ6の回路レイアウトの場合の一括消去のシーケンスを示している。なお選択メモリセルと非選択メモリセルの電位関係は、図7と同様に設定する。予備書き込みを行った後(S11)、まず、パターンAの駆動回路部に対応するワード線の範囲を消去単位として消去し(S12)、消去ベリファイする(S13)。消去が完了したら次に、パターンBの駆動回路部に対応するワード線の範囲を消去し(S14)、消去ベリファイする(S15)。以下同様に、パターンCの駆動回路部に対応するワード線範囲の消去(S16)と消去ベリファイ(S17)、パターンDの駆動回路部に対応するワード線範囲の消去(S18)と消去ベリファイ(S19)を繰り返し、最後に読み出し条件にセットアップして一括消去のシーケンスを終了する。

【0024】この実施の形態によると、ワード線をその駆動回路部のパターン同一性の範囲を消去単位として消去動作を繰り返すことにより、消去電流はブロック全体を同時に一括消去する場合の $1/2$ 、 $1/4$ 、...のように低減することができる。ワード線駆動回路部のパターンに依存してメモリセル特性が異なることが多い、パターン同一性の範囲を消去単位とすることにより、しきい値電圧調整が容易になり、消去ブロックのしきい値電圧分布を小さくすることができる。

【0025】[実施の形態3] 図12は更に、1本のワード線のメモリセル範囲を消去単位として、消去と消去ベリファイをワード線の本数分繰り返すようにした実施の形態3である。この場合も選択メモリセルと非選択メモリセルの電位関係は、図7と同様に設定する。予備書き込みを行い(S21)、ワード線番号を初期化して

7

(S22)、最初のワード線について消去(S23)と消去ベリファイ(S24)を行う。全ワード線の消去が終了したか否かを判断し(S25)、NOであればワード線を切換て以下同様の消去動作を繰り返す。全ワード線について消去が終了したら、読み出し条件にセットアップして一括消去のシーケンスを終了する。

【0026】この実施の形態によると、ワード線1本ずつを単位として消去を行うから、消去時の消費電流は非常に小さいものとなる。また、消去メモリセルのしきい値電圧がワード線単位で調整されるから、一括消去後のメモリセルのしきい値分布幅を大きく低減することが可能である。

【0027】[実施の形態4] 上記実施の形態1～3では、図7に示すようにビット線オープン条件で消去を行った。これに対して、他の電位関係は図7と同様とし、図8に示すように、ビット線を接地して消去を行うこともできる。この場合、選択メモリセルMC1では、実施の形態1～3と同様に浮遊ゲートからソース側に電子放出されて消去される。非選択メモリセルMC2では、これがしきい値負の過消去状態にある場合にはゲート電圧0Vでオンしてソースからドレインに向かってチャネル電流が流れる。そして、電界の大きいソース側ではアバランシェによるホットエレクトロンが生成されてこれが浮遊ゲートに注入される書き込み動作が起こる。この書き込み動作は、非選択メモリセルMC2のしきい値がある値(例えば中性しきい値)になると止まる、いわゆるセルフコンバージェンスを示す。これにより、既に消去が済んで過消去状態にあるメモリセルの過消去状態が解消される。従ってこの実施の形態4によると、しきい値電圧分布の幅を更に小さいものとする事ができる。この実施の形態4の手法は、実施の形態1～3のいずれのワード線選択を行う場合にも有効である。

【0028】

【発明の効果】以上述べたようにこの発明によれば、消去すべきブロックの一括消去動作を、複数の消去単位に分けた消去動作の繰り返しにより行うことで、負バイアス消去法によるNOR型EEPROMの消去時の消費電

8

流を抑えることができ、また消去ブロック内のメモリセルのしきい値電圧分布を狭いものとする事ができる。

【図面の簡単な説明】

【図1】この発明が適用されるEEPROMの回路構成を示す図である。

【図2】同EEPROMのメモリセルアレイの等価回路である。

【図3】同EEPROMのメモリセルアレイのレイアウトである。

【図4】図3のA-A'断面図である。

【図5】図3のB-B'断面図である。

【図6】実施の形態1による消去シーケンスを示す図である。

【図7】同実施の形態での電位関係を示す図である。

【図8】ワード線駆動回路部のレイアウト例を示す図である。

【図9】図8のパターンに対応するワード線駆動回路とメモリセルアレイの接続関係を示す図である。

【図10】ワード線駆動回路部の他のレイアウト例を示す図である。

【図11】実施の形態2による消去シーケンスを示す図である。

【図12】実施の形態3による消去シーケンスを示す図である。

【図13】実施の形態4による消去時の電位関係を示す図である。

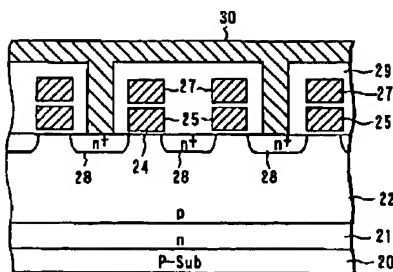
【図14】従来のNOR型EEPROMの消去制御シーケンスを示す図である。

【図15】消去メモリセルのしきい値電圧分布を示す図である。

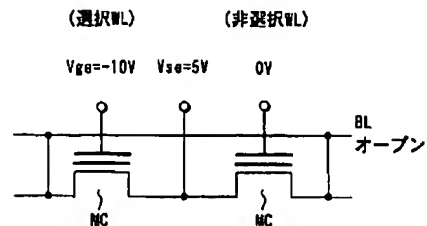
【符号の説明】

1…メモリセルアレイ、2…カラムゲート、3…センスアンプ/ラッチ回路、4…入出力バッファ、5…ロウアドレスバッファ、6…ロウデコーダ、7…カラムアドレスバッファ、8…カラムデコーダ、9…制御回路、10…駆動電源回路。

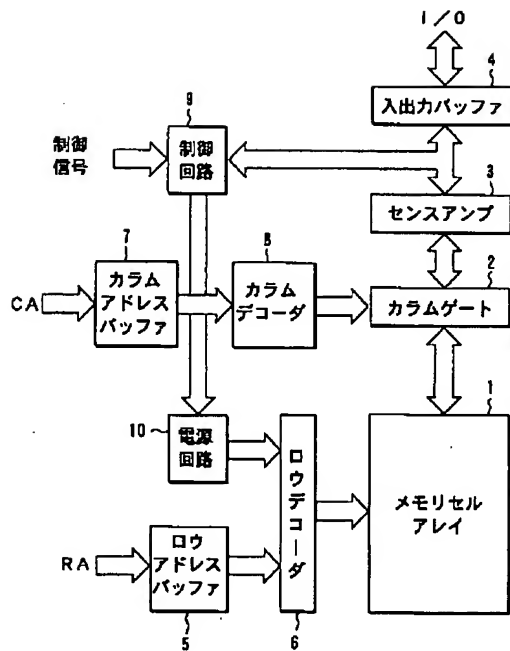
【図4】



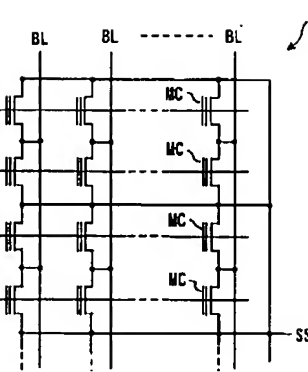
【図7】



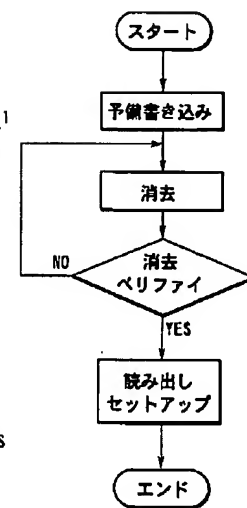
【図1】



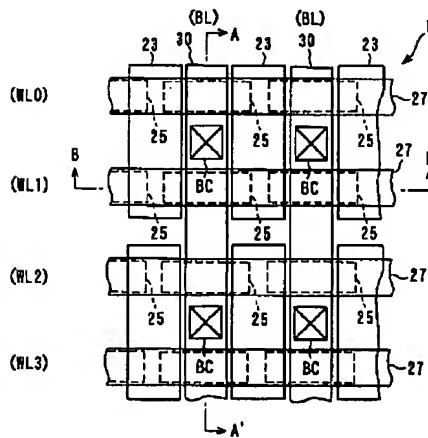
【図2】



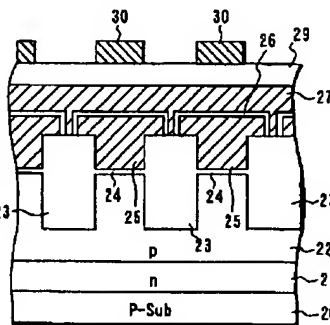
【図14】



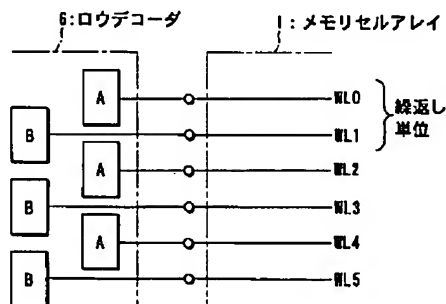
【図3】



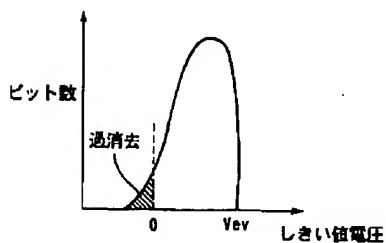
【図5】



【図8】

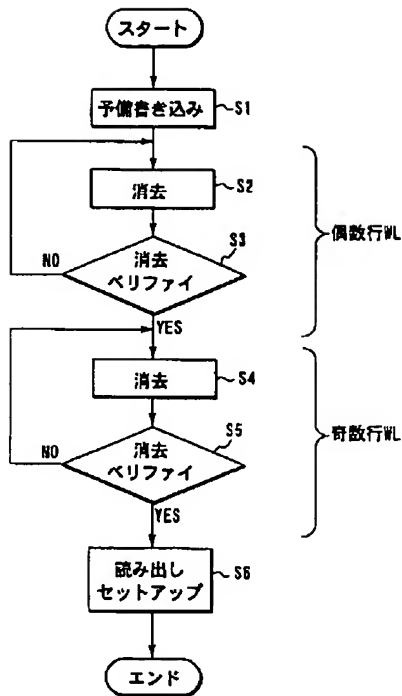


【図15】

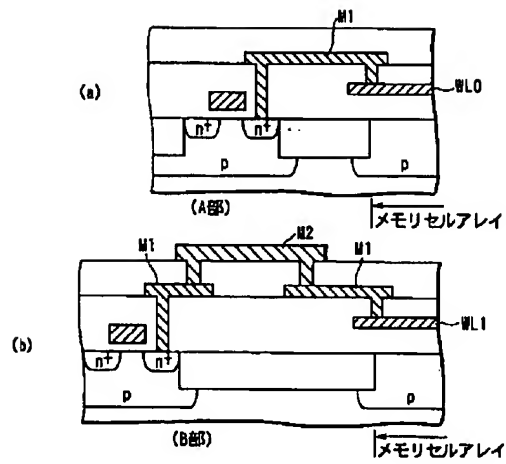




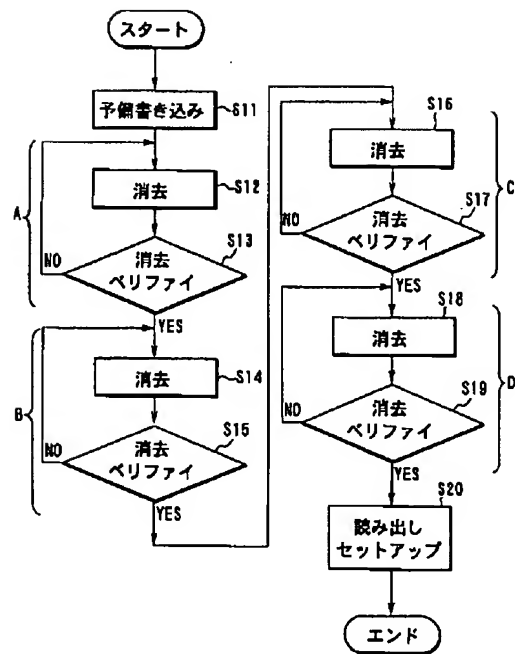
【図6】



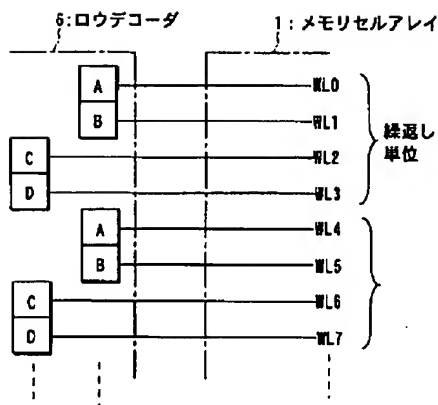
【図9】



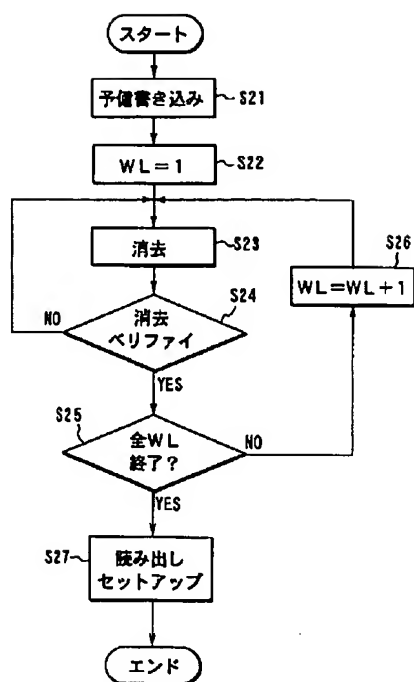
【図11】



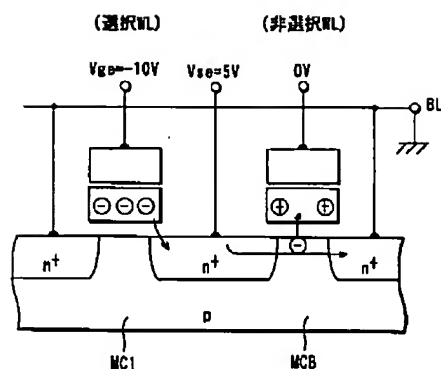
【図10】



【図12】



【図13】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 1 L 29/792

Fターム(参考) 5B025 AA01 AC01 AD08 AE06

5F001 AA02 AB08 AC03 AD12 AD52  
AE08 AG09

5F083 EP02 EP23 EP77 ER04 ER16  
ER23 ER30 GA05 KA20 LA01  
LA03 LA05 LA16 LA20 PR42  
PR52